

基于FPGA的误码率测试仪的设计与实现

Design and realization of bit error ratio tester based on FPGA

(郑州解放军信息工程大学) 刘江 张宏霄 刘洛琨

Liu, Jiang Zhang, Hongxiao Liu, Luokun

摘要:本文提出了一种使用FPGA实现误码率测试的设计及实现方法。该设计可通过FPGA内建的异步串行接口向主控计算机传递误码信息,也可以通过数码管实时显示一段时间内的误码率。文章先介绍了系统构成和工作流程,然后重点分析了关键技术的实现。

关键词:误码测试;现场可编程门阵列

中图分类号:TP312 **文献标识码:**A

文章编号:1008-0570(2005)04-0162-02

Abstract: This paper presents a design for bit error ratio test using FPGA. This design can either transfer bit error information to control computer through the UART interface built inside the FPGA, or display the bit error rate by 7-segment LED. The paper first introduces the architecture and working flow of the design, and then gives the method of realization of some key techniques.

Key words: bit error test; FPGA

1 概述

在通信系统的设计实现过程中,都需要测试系统的误码性能。而常见的误码率测试仪多数专用于测试各种标准高速信道,不便于测试实际应用中大量的专用信道,并且价格昂贵,搭建测试平台复杂。随着大规模集成电路的迅速发展,FPGA在保持其集成度高,体积小,功耗低,性价比高等特性的同时,能够实现越来越复杂设计功能,日益广泛的应用于通信设备的设计实现。

本文提出了一种基于FPGA的误码率测试仪的方案,使用一片Altera公司的Cyclone系列的FPGA(EP1C6-144T)及相关的外围电路,实现误码测试功能,主控计算机可以通过FPGA内建的异步串行接口(UART)配置误码测试仪并读取误码信息,由计算机完成误码分析。同时,该方案还提供了简易的数据显示,可以在脱离计算机的情况下,进行通信系统工作性能的定性分析。

2 系统构成和工作流程

按照完成的功能,整个系统可以分为测试码生成单元、误码测试单元、接口单元、显示单元和时钟生成单元以及主控计算机上运行的控制测试软件六个部分,具体框图如图1所示。

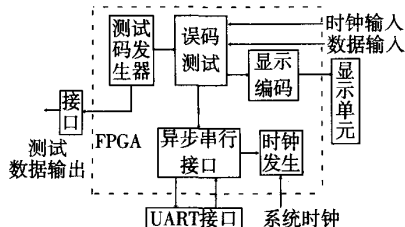


图1 误码测试仪框图

利用误码率测试仪进行误码率测试的闭环测试平台结构如图2所示。对照图1、图2,将系统的工作流程描述如下。

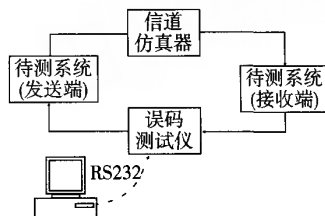


图2 通信系统误码测试框图

根据待测通信系统的数据速率由计算机通过UART配置时钟生成单元,得到工作时钟和各使能计数器的参数,使得系统按照预定时钟工作;由测试码生成单元按照设置好的时钟将测试码发送给待测系统的发送设备;发送信号经过信道仿真器后,由待测系统的接收单元接收、判决,再将接收数据和恢复的数据时钟送入误码测试仪;误码测试仪中的误码测试单元完成输入数据和本地数据的同步后,对输入数据同本地数据进行比较,统计误码数,每完成两个测试码周期的数据比较,就将误码信息通过UART发送给计算机,进行误码统计,同时将误码数传送给显示单元,进行处理后驱动外部的四个七段数码管,显示本测试码周期内的误码率。

3 关键技术及其实现

3.1 测试码的产生

本设计使用m序列作为测试码,m序列发生器按照CCITT建议,生成用于低速数据传输设备测试误码的m序列,其特征多项式为 x^5+x^4+1 ,周期为512。利用m序列的伪随机特性,可以很好的测试在不同的输入组合下,系统的通信性能,同时,m序列极强的自相关性,便于测试仪实现输入数据同本地测试码同步,以便进行误码计数。

3.2 误码测试单元的实现

误码测试单元是整个系统的核心单元,其功能框图如图3所示。序列同步跟踪单元的功能是利用m序列的自相关特性,将输入的数据同本地的m序列同步起来,并将同步信息传给码元比较单元。

我们利用测试序列—m序列的自相关性实现接收序列与本地序列的同步。m序列的捕获有很多方法,通常使用的有相关器法和循环累加法。相关器法的优点是捕获速度快,通常捕获时间不超过两个m序列的周期,但是相关器最大的问题就是所需的逻辑资源太多。相比之下,循环累加法所需的逻辑资源很少,虽然捕获时延较长,但在测试环境下,通常是可以忍受的,另外,我们还可以采取一定的措施进一步减少捕获时延。

循环累加法的工作原理如下,系统复位后,m序列发生器按照预设的参数生成m序列,存入m序列缓冲区,码元同步后,在地址发生器的控制下,将m序列从缓冲区中读出,同输入序列按位进行同或运算后进行算术加,相加得到的和经D触发器缓

刘江:助理工程师

中国自控网 <http://www.autocontrol.com.cn>

- 162 - 120元/年 邮局订阅号:82-946

电话:010-62132436,62192616(T/F)

《测控系统应用200例》

冲一个时钟周期后,输入加法器,作为下一次加法运算的一个加数,从而实现本地序列同输入序列的循环累加。累加和送入门限检测器同所设门限比较,如低于门限,则地址发生使能和同步指示输出均无效,为‘0’,如果高于所设门限,则两信号置高。后面的码元比较单元开始工作,进行输入序列和本地序列的比较。地址发生器产生的地址由两部分组成,即:

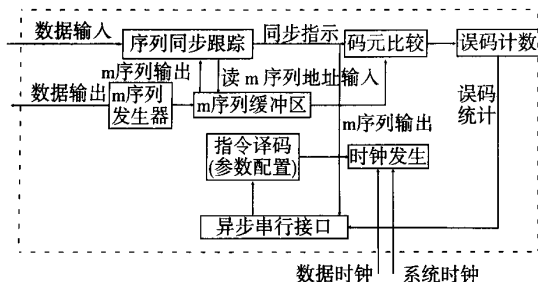


图3 误码测试单元功能框图

地址输出=累加地址+偏移地址

两个地址的初值均为‘0’,累加地址计数范围同m序列的长度一样,每个时钟周期加1,第一个周期输出的m序列从第一个码元开始输出,加完一个m序列周期后,地址发生器检查由门限检测输入的地址发生控制信号,如果该信号为‘0’,那么表示输入序列同本地序列没有同步,存在相位差,此时,偏移地址加1,累加地址重新开始累加计数,使得第二个周期输出的m序列从第二个码元开始输出,实现了本地m序列相对于输入序列的“滑动”。经过本地码的滑动,同输入序列完全同步,根据m序列的相关性,累加值会出现相关峰,超过门限检测的门限值,此时,门限检测单元就会将地址发生控制信号置‘1’,地址发生器的偏移地址不再变化,累加地址继续循环计数,m序列缓冲区按照输入的地址,将与输入序列同步的m序列输出至门限检测单元和码元比较单元,同时,经过UART向主控PC发送开始误码测试的消息。

当序列同步完成之后,门限检测单元继续工作,检查序列的同步状况,当某一时刻,相关峰值低于门限,则可以判断系统误码率过高,或者数据传输过程中出现丢帧的情况。此时,门限检测单元将同步指示和地址发生使能同时置为无效,开始新一轮捕获,同时经过UART向主控PC发送停止误码测试的报警,等待下一次统计的开始。可以看出,系统误码性能的设计指标同门限检测单元中的门限可以建立对应关系,便于测试前的参数设置。图4是测试码捕获的时序仿真图,为了测试误码统计功能,我们将测试码的前三个码取反,以便形成误码。从图中可以看出,当累加器的和高于门限时,同步指示为高,当一个新的测试码周期开始时,误码计数开始,前三个测试码是错的,可以看到误码计数正确的统计了误码个数。

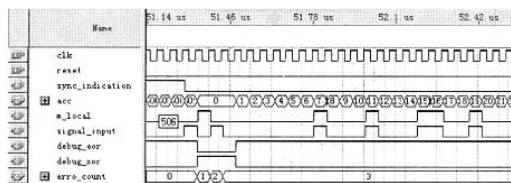


图4 测试码捕获时序仿真图

码元比较单元将接收到的序列同本地产生的m序列按位作异或运算,每出现一个误码,就会输出一个计数脉冲。误码计数单元按照预先设置好的参数,每检测完两个测试码周期,就通过UART向发送一次误码个数,便于主控计算机统计误码信息。

误码测试单元通过UART同PC机进行通信,将误码信息

发送给PC机,由PC机进行误码数据的分析统计处理,并形成报表。UART通过系统提供的10MHz的时钟分频得到57.6Kbps的波特率。

3.3 误码率实时显示的实现

误码率的实时显示是通过四个共阴极的七段数码管实现的,主要用于误码测试仪脱离主控计算机工作时,通过对每两个测试码周期的误码统计,将这一时段的实时误码率用科学计数法在七段数码管上显示出来,以便对通信系统的运行情况进行定性的分析。第一个数码管显示个位和小数点,第二个数码管显示小数点后第一位,第三个显示负号,第四个显示一位数字,表示科学计数法的负几次方。下面以两个测试码周期(1024个码)中统计到256个误码为例,说明如何得到实时显示。首先,将误码数送入比较器,分别同11、102进行比较,256大于102,说明误码率在 10^{-1} 数量级,第四个数码管显示1,再将 $\frac{1}{10} \times 256 =$

$25.6 = (1010\ 0000\ 0000)_2$ 的第12位和第11位取出,即 $(10)_2 = 2$,作为第一个数码管显示的个位数,取出第10位、第9位和第8位,即 $(100)_2$ 按二进制小数计算为0.5,则第二个数码管显示5。计算小数部分时,可用查表法,直接得到输出数值,以简化计算。

3.4 软件测试平台的设计

我们采用Visual C++和matlab混合编程来实现软件测试平台。Visual C++是微软公司推出的功能强大的软件开发调试工具,对计算机底层操作十分方便,通过API函数对串口进行编程更是一项十分成熟的技术。matlab是Math Work公司发布的科学计算软件,具有功能很强的绘图功能和及其丰富的函数库,给数据的分析、图表的制作提供强大的支持。软件测试平台的基本思想是利用Visual C++编制平台的人机交互界面,以及完成同误码测试核的数据通信,再调用matlab里的函数,对得到的测试数据进行分析输出,同时,在人机交互界面上显示误码事件及其发生时刻。

4 结束语

本文提出了一种基于FPGA的误码率测试仪的设计实现方案,具有体积小,成本低,使用灵活,通过内建的UART同主控计算机进行数据交换,同时发挥了FPGA速度快和计算机数据处理能力强的优势,获得了较好的系统性能,可以方便的运用于通信设备的研制和测试。同时,利用FPGA的在线可编程(ISP)能力,可以不断升级,完善,实现更多的功能。在此基础上,还能够进一步的进行系统扩展,如使用加入单片机并移植嵌入式操作系统,将用点阵液晶代替数码管,增加外部存储(flash, RAM等),从而构成一个手持的误码测试系统,可以完全脱离主控计算机工作。

参考文献:

- [1] 褚振勇,翁木云.FPGA设计及应用,西安电子科技大学出版社
- 作者简介:刘江,男,1976年11月,汉,山东济南人,助理工程师;解放军信息工程大学通信工程系硕士研究生,研究方向:FPGA应用 卫星通信; Email:liujiang_76@163.com, 电话:0371-3531276,手机:13523038832;张宏霄,男,1976年生,汉,河南沁阳人,助教,解放军信息工程大学通信工程系硕士研究生;研究方向:单片机与FPGA应用。刘洛琨,男,1963年4月,河南洛阳人。副教授,解放军信息工程大学通信工程系研究所所长。研究方向:微波与通信系统、无线移动自组织网络。

(450002 河南郑州解放军信息工程大学信息工程学院通信工程系研究生队)刘江 张宏霄 刘洛琨

(PLA Information Engineering University Zhengzhou 450002, China) Liu, Jiang Zhang, Hongxiao Liu, Luokun

通信地址:(450002 郑州市1001信箱825号)刘江

(收稿日期:2004.10.20)

基于FPGA的误码率测试仪的设计与实现

作者: [刘江](#), [张宏霄](#), [刘洛琨](#), [Liu Jiang](#), [Zhang Hongxiao](#), [Liu Luokun](#)
作者单位: [450002, 河南郑州解放军信息工程大学信息工程学院通信工程系研究生队](#)
刊名: [微计算机信息](#) 
英文刊名: [CONTROL & AUTOMATION](#)
年, 卷(期): 2005, 21(4)
被引用次数: 2次

参考文献(1条)

1. [褚振勇](#) [翁木云](#) [FPGA设计及应用](#)

相似文献(10条)

1. 期刊论文 [许林峰](#) [XU Lin-feng](#) [基于OFDM的LDPC误码测试系统设计](#) -[电视技术](#)2006, "" (11)

通过比较国内外几种LDPC码平台测试系统,设计了一种基于OFDM的用于测试LDPC解码误码性能的窄带系统,采用了时域同步正交频分复用调制方式,具有抵抗多径干扰和多普勒频移的能力.该系统用FPGA予以实现,不仅可用于实验室测试,也可用于测试真实多径环境下的误码性能,还能作为通用系统用于其他信道纠错码的解码误码测试.

2. 学位论文 [彭雅屏](#) [窄带LDPC解码-误码测试实验平台设计](#) 2006

本文首先介绍并讨论了数字电视传输标准TDS-OFDM的实现原理,对其中的一些关键问题做了详细的分析,在此基础上提出了一种基于FPGA的窄带LDPC解码-误码测试平台设计方案,即利用时域PN头同步及频域导频进行功率估计的FPGA设计.

根据窄带LDPC解码-误码测试平台实现的功能,本文提出了它的系统设计框图,将其划分为若干模块.在对每一个模块的设计要点做了详细说明之后,采用Verilog语言编写各模块逻辑代码,在Altera公司的Quartus II 5.0集成开发环境下,基于Altera公司Stratix系列FPGA对各模块及整个窄带LDPC解码-误码测试平台进行了仿真并将发端和收端的verilog程序分别下载到Altera的EP1S25F780C和EP1S80B956C6开发实验板进行调试.仿真结果表明该设计能够对误码率进行统计.

本文中的设计是一个简化版本的OFDM数字电视传输系统.由于数字电视传输系统是一个复杂庞大的工程,为了验证数字电视传输系统中LDPC编码的效率,以便于标准的确立,窄带LDPC解码-误码测试平台就提供了一个快速,有效的编码测试工具,而不用等整个系统完整的收发端设计完成之后才进行测试,大大的节省了时间,提高了工作的效率,有利于数字电视传输标准的尽快确定.本文中的设计虽然是一个简化的OFDM,但仍具备了数字电视传输系统很多重要的功能,为数字电视传输系统的设计提供经验,且在此基础上可以非常方便地进行扩充.从应用来讲,本文的研究具有重要的意义.

3. 期刊论文 [沈晓菲](#) [孟波](#) [李兵兵](#) [FPGA在误码测试仪中的应用](#) -[电子元器件应用](#)2008, 10 (8)

误码测试是数字通信系统最基本的测量方法之一.使用FPGA实现误码测试功能,不仅可以提高系统集成度,而且能适合不同类型的测试要求.本文给出了FPGA在误码测试仪中的应用方法.

4. 期刊论文 [胡修林](#) [吴向阳](#) [HU Xiu-lin](#) [WU Xiang-yang](#) [基于FPGA的智能误码测试方案](#) -[测控技术](#)2006, 25 (8)

分析特定系统通信传输的抗干扰能力,先要提取该系统在正常工作情况下的误码情况,再在此基础上对该系统的抗干扰能力进行全面分析.提出了一种基于FPGA的智能误码测试方案.先从基本组成入手,介绍误码分析仪各功能模块的作用和误码分析仪的工作过程,之后根据数字锁相环的基本原理,结合FPGA的结构特点设计了一种自适应的智能锁相的位同步法和序列同步法.

5. 期刊论文 [王力男](#) [王赛宇](#) [陈敬乔](#) [支持突发传输的嵌入式误码仪设计和实现](#) -[无线电工程](#)2010, 40 (10)

灵活方便及低成本是误码测试仪是解决卫星通信系统大范围覆盖内各种终端性能测试的有效工具.分析了误码测试仪的使用需求,提出了一种基于现场可编程门阵列(FPGA)的嵌入式误码测试仪的设计方法.该方法实现简单、硬件资源占用非常少,采用VHDL语言编写,易于嵌入到多种卫星通信终端中,支持突发传输模式下的误码测试,便于终端的自检测试及辅助系统故障定位.

6. 学位论文 [高翔](#) [智能误码测试技术在地铁机电设备监控系统中的应用研究](#) 2006

地铁机电设备监控系统(EMCS—ElectricalandMechanicalControlSystem)是用于监控地铁车站重要机电设备的工业控制系统,它通过现场总线连接广泛分布在车站内的RI/O及智能控制设备,实现对监控对象的数据采集和指令下达.由于所处的现场环境恶劣,地铁机电设备监控系统中的现场总线易受外界电磁干扰等因素影响产生误码,影响通信质量,给系统正常运作带来了隐患.本文紧密围绕解决该系统现场总线误码检测及预警问题展开研究,通过对常见数字传输系统误码测试理论及其检测方法的分析,结合实际使用需求,运用先进的可编程ASIC(ProgrammableApplicationSpecificIntergratedCircuit)技术研究、开发了适合地铁专用控制系统现场总线的误码检测设备,期间主要完成了以下工作:

以广州地铁三号线机电设备监控系统为例分析了该系统控制网络的组成情况,详细研究了该系统中所使用的现场总线协议,着重分析了其实际现场总线通信故障的原因.同时以此为契机,通过与现场运营维护人员沟通,提出了适用于该系统的误码检测方案.不仅解决了现场总线通信故障后信道停业务下的误码检测问题,而且通过增加现场总线不停业务下的实时监听记录功能,向维护人员提供了信道恶化或受干扰初期提前预警的数据.

本课题采用先进的现场可编程门阵列器件FPGA(FieldProgrammableGateArray)和MCS-51系列单片机成功研发了适用于现场总线的误码测试设备.在研发过程中有效地解决了诸如测试序列同步、序列同步、CRC校验及误码率浮点计算等问题,开发了先进的智能同步数字锁相环算法,使系统在300~2Mbps码率范围内实现了信号时钟自动快速同步功能,并且具备了极强的抗干扰能力.在伪随机测试序列同步方面,通过分析伪随机序列产生的原理设计了快速序列同步算法,运算速度比传统方法提高了几十倍,为系统进行快速测试提供了可能.

经过三号线机电设备监控系统实际应用,该误码测试设备各项性能指标均满足设计要求,有效解决了目前急需的现场总线误码测试需求,为现场运营维护人员提供了有力的信道检测工具.

7. 期刊论文 [邓鹰飞](#) [蓝伟斌](#) [Deng Yingfei](#) [Lan Weibin](#) [基于FPGA的E1接口误码测试方案](#) -[梧州学院学报](#)

2007, 17 (3)

基于现场可编程门阵列(FPGA)的E1接口的误码测试方案分为发送和接收两个模块,主要优势在于可以测试单向信道的误码情况.由于伪随机序列的可重复产生以及0、1等概的特性,故发送端可采用此类序列,该文选用m序列作为发送序列,并且通过插入同步码元,作为接收端同步测试.在接收端用同样的m序列产生器,通过时钟提取模块,产生相同的本地序列.本地序列和接收序列相比较,就可以检测到误码.

8. 期刊论文 [黄宇](#) [郭晓金](#) [陈兰兰](#) [Huang Yu](#) [Guo Xiao-jin](#) [Chen Lan-lan](#) [CS21354在手持式2M误码测试仪中的应用](#)

-[山西电子技术](#)2009, "" (2)

CS21354微控制器芯片是一路的PCM-30/ISDN-PRI收发器,集成时钟/数据恢复及发送E1脉冲成型的片内线路接口单元(LIU)及E1帧处理器

(Framer). 它可在2M误码测试仪中实现2M数字口的所有测试功能, 包括HDB3、AMI编解码、时钟提取, 各种帧结构信号、各种测试图案和各种报警信号的产生和检测等. 文中给出了CS21354在2M误码测试仪中的工作原理, 论述了2M误码测试仪系统软件.

9. 学位论文 [黄震 塑料光纤应用系统的研究](#) 2004

塑料光纤安装成本比石英光纤低, 比铜线具有更高的带宽和更小的衰减, 而且具有和石英光纤一样的抗干扰强的特性, 因而成为短距离、中小容量通信系统的首选传输媒质, 并将成为全光网络和信息高速公路和重要组成部分. 因此, 研制开发高性能的塑料光纤应用系统具有广阔的前景, 对塑料光纤本身的发展和广泛应用会起到很大的推动作用. 该文就塑料光纤应用系统进行了一系列的研究. 首先, 以电子设计自动化技术为平台, 高速、高密度现场可编程门阵列列为硬件核心, 构成一个系统级可编程芯片, 自主成功地研发了低成本、多速率、多接口的误码测试仪. 为塑料光纤链路和其他数字通信链路的研究开发提供测试平台, 是研发塑料光纤应用系统的前提条件和基础. 其次, 针对塑料光纤低损耗窗口位于短波段的特殊性, 设计出适合于塑料光纤通信链路的光收发器, 并进行了性能测试和成本比较. 针对光收发器设计, 提出了多种设计方案, 并收集总结了一套比较完整的资料. 最后, 利用设计出的塑料光纤收发器, 配合快速以太网物理层芯片, 构成了一个双绞线与塑料光纤之间的介质转换器. 实现了以塑料光纤为传输介质的快速以太网应用系统. 对此系统进行性能测试, 并实际运行, 收到了非常好的效果.

10. 期刊论文 [李蓓. 夏波平. LI Pei. XIA Bo-ping PMC4351在便携式2M误码测试仪中的应用](#) -[国外电子元器件](#)

2005, "" (8)

PMC4351是PMC公司一款功能强大的集成了收发单元的可编程全功能E1、T1成帧器. 它可在2M误码测试仪中实现2M数字口的所有测试功能, 包括HDB3、AMI编解码、时钟提取, 各种帧结构信号、各种测试图案和各种报警信号的产生和检测等. 文中给出了PMC4351在2M误码测试仪中的工作原理及应用电路, 论述了2M误码测试仪系统软件, 并给出了PMC4351的初始化程序.

引证文献(2条)

1. [李宏. 齐林. 杨亮 一种便携式误码测试仪的设计](#)[期刊论文]-[现代电子技术](#) 2008 (13)

2. [虞美兰. 丁琳 互连内建自测试技术的原理与实现](#)[期刊论文]-[微计算机信息](#) 2008 (5)

本文链接: http://d.g.wanfangdata.com.cn/Periodical_wjsjxx200504081.aspx

授权使用: 武汉理工大学(whlgdx), 授权号: 569964ef-2c0b-4ada-9c0d-9e3c00a8ea0d

下载时间: 2010年11月28日